

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-076736

(43)Date of publication of application : 08.04.1987

(51)Int.Cl.

H01L 21/82

H01L 21/66

(21)Application number : 60-216884

(71)Applicant : TOSHIBA CORP

TOSHIBA MICRO COMPUT ENG CORP

(22)Date of filing : 30.09.1985

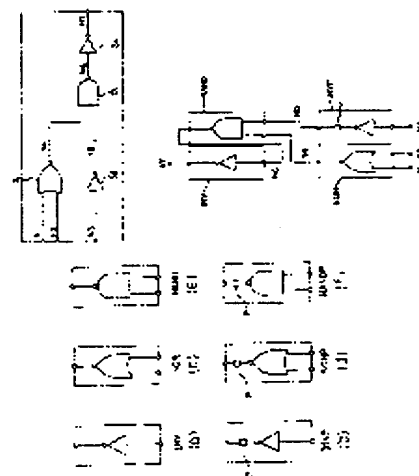
(72)Inventor : WATANABE YOSHINORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To design and manufacture a semiconductor device by providing basic cells with pads at output terminals of internal signal measuring pad having unit logic function in addition to basic cell having predetermined unit logic function.

CONSTITUTION: Two types of basic cells of inverter INV and INVP with internal signal measuring pad P at the output terminal are registered with a figure processor. General logic gate associated with NOR, NAND or basic gate is similarly registered together with gate with pad. Gates 31W34 are connected as predetermined, and when the signal waveform of a nod point 5 is externally monitored, NOR is selected for the gate 31, INVP is selected for the inverter 32, NAND is selected for the gate 33, and INV is selected for the inverter 34. Then, when connecting information among nodes N1WN7 is input to a figure processor as predetermined, the basic cell is optimally disposed by an automatic wiring program, pad P is connected with node N5 to be monitored to obtain a circuit which can measure the signal waveform.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-76736

⑮ Int. Cl.⁴H 01 L 21/82
21/66

識別記号

庁内整理番号

8526-5F
7168-5F

⑬ 公開 昭和62年(1987)4月8日

審査請求 有 発明の数 2 (全5頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭60-216884

⑰ 出 願 昭60(1985)9月30日

⑱ 発 明 者 渡 辺 吉 規 川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 出 願 人 東芝マイコンエンジニアリング株式会社 川崎市川崎区東田町2番地11号
⑳ 代 理 人 弁理士 佐藤 一雄 外2名

明 細 書

1. 発明の名称 半導体装置及びその製造方法

2. 特許請求の範囲

1. 所定の単位論理機能を有する基本セルと、これら基本セルを接続する接続配線部とを備えたスタンダードセル方式の半導体装置において、前記所定の基本論理機能を有し、内部信号測定用パッドが形成されたパッド付基本セルを備えたことを特徴とする半導体装置。

2. 特許請求の範囲第1項記載の半導体装置において、前記パッド付基本セルの出力端に前記内部信号用測定用パッドが設けられたことを特徴とする半導体装置。

3. 所定の単位論理機能を有する基本セルを予め登録し、登録された基本セルから所望の論理機能を実施するのに必要な基本セルを選択し、これら選択された基本セルの間の接続情報に基づいてこれら基本セル間を接続する接続配線を形成す

るスタンダードセル方式の半導体装置の製造方法において、前記所定の単位論理機能を有し、内部信号測定用パッドが形成されたパッド付基本セルを予め登録し、測定されるノードに接続されるべき基本セルの代わりに、この基本セルと同一の基本論理機能を有するパッド付基本セルを選択することを特徴とする半導体装置の製造方法。

4. 特許請求の範囲第3項記載の半導体装置の製造方法において、前記パッドは基本セルの出力端に前記内部信号測定用パッドが設けられたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明はスタンダードセル方式により設計される半導体装置及びその製造方法に関する。

(発明の技術的背景とその問題点)

従来、集積回路は各基本ゲートの設計及びこれら基本ゲートの配置、配線もすべて人手によりおこなわれていた。しかし近年集積回路が大規模化

してくるに従い、かかる人手による設計では工数が極めて多くなり、設計に長時間を必要とするようになる。特に少量多品種のいわゆるカスタム集積回路では、設計時間の短縮が強く要請されている。

設計時間の短縮を図るため、人手によらないで電子計算機を用いた設計が実施されている。少量多品種の半導体装置の設計手法としてスタンダードセル方式が知られている。スタンダードセル方式では、図形処理装置上に予め登録している基本セルからなるセルライブラリを使用する。基本セルは、基本ゲート、複合ゲート、フリップフロップ、汎用性ある論理回路等の所定の論理機能を有する論理回路である。したがって製造すべき半導体装置の論理機能に基づく個々の基本セル同士の接続情報を電子計算機に入力し、この接続情報に従って電子計算機は自動配置配線をおこない目的の半導体装置を設計する。このようなスタンダードセル方式の設計によれば、設計の工数が少なく、すみ、比較的短時間で大規模集積回路の設計が

可能である。

しかしながらかかるスタンダードセル方式の場合、内部信号波形観測用パッドを形成することが困難であるという問題があった。従来のすべて人手による設計であれば、特定のゲートがどこに配置され、特定の信号線がどこに形成されているかレイアウトの段階で明らかになっているので、集積回路内部の信号波形を観測するための深針用金底パッドを容易に組み込むことができる。しかるにスタンダードセル方式の場合には、基本セルの配置、信号線の配線は電子計算機により自動的に行えるため、基本セルがどこに配置されているか特定の信号線がどこに形成されているかを設計者が知ることができない。したがって特定の信号線を観測するためには、自動配置配線後にその特定の信号数を配線パターンの中から探し出す必要がある。探し出した後は、波形観測用パッドを形成できる空き領域を探し出してパッドを形成し、このパッドを特定の信号数に接続しなければならぬ。しかしながら複雑な回路の場合には適当な

空き領域が存在しない場合がある。たとえ空き領域があったとしてもその空き領域から特定の信号線までを結ぶ配線を密集した他の信号線の間を縫ってレイアウトすることは極めて困難である。

(発明の目的)

本発明は上記事情を考慮してなされたもので、内部信号測定用パッドを容易に形成して所望の内部信号を測定することができる半導体装置及びその製造方法を提供することを目的とする。

(発明の概要)

上記目的を達成するため本発明による半導体装置は、所定の単位論理機能を有する基本セルの他に、これら所定の単位論理機能を有し、内部信号測定用パッドが形成されたパッド付基本セルを備えたことを特徴とする。

また本発明による半導体装置の製造方法は、所定の単位論理機能を有する基本セルに加えて、これら所定の単位論理機能を有し、内部信号測定用パッドが形成されたパッド付基本セルを予め登録しておき、測定されるノードに接続された基本セ

ルの代りに、この基本セルと同一の基本論理機能を有するパッド付基本セルを選択することの特徴とする。

(発明の実施例)

以下本発明を図示の一実施例により説明する。本実施例では、図形処理装置(図示せず)上に予め第1図に示す2種類の基本セルを登録しておく点に特徴がある。すなわち、第1図(a)、(b)に示すように、インバータの論理機能を有する基本セルINVの他に、インバータの論理機能を有し、出力端に内部信号測定用パッドPを有するパッド付基本セルINV Pを登録する。同時にノアゲートについては、第1図(c)に示す基本セルNORの他に第1図(d)に示すパッド付基本セルNOR Pを登録する。またナンドゲートについては第1図(e)、(f)に示すように基本セルNANDとパッド付基本セルNAND Pを登録する。その他の基本ゲートを組合せた複合ゲート、フリップフロップ、汎用性ある論理ゲート等についても、基本セルの他に同じ論理機能を有し、内

部信号測定用パッドを有するパッド付基本セルを登録しておく。

第2図、第3図にこれら基本セルの一例としてインバータの機能を有する基本セルINV及びインバータの機能を有するパッド付基本セルINVPを示す。基本セルINVはPMOSTランジスタ Q_p およびNMOSTランジスタ Q_n とで構成される。PMOSTランジスタ Q_p のソース領域はコンタクト11を介してVDD電源配線層に接続されている。同様にNMOSTランジスタ Q_n のソース領域はコンタクト21を介してVSS電源配線層22に接続されている。PMOSTランジスタ Q_p およびNMOSTランジスタ Q_n のトレイン領域はそれぞれコンタクト13、23を介して共通接続配線層1に接続されている。この共通接続配線層1はコンタクトを介して出力線である内部配線層3に接続されている。入力線4はPMOSTランジスタ Q_p およびNMOSTランジスタ Q_n のゲート電極を兼ねている。入力線4はゲート電極を兼ねていることからポリシリコン層で

形成される。またVDD電源配線層12、VSS電源配線層22および共通接続配線層はアルミニウム第1層で形成され、内部配線層3はアルミニウム第2層で形成される。

パッド付基本セルINVPは第3図に示すように、第2図の基本セルINVに内部信号測定用パッドPを付加したものである。このパッドPはPMOSTランジスタ Q_p とNMOSTランジスタ Q_n の間の空き領域を利用して形成され、内部配線層3とスルーホール5を介して接続される。パッドPは集積回路のパターン配線等には使用されないパッド専用のアルミニウム第3層で形成することが望ましい。これは試作時にはパッドを設け内部信号を測定して動作をテストし、量産時にはアルミニウム第3層の形成工程を省略しパッドを形成しないようにすることが可能であるからである。このようにすればパッド付加に基づく量産時の歩留り低下を防止できる。もっともかかる必要のない場合には他のパターン配線に利用されるアルミニウム層で形成してもよい。パッドPは内部配線

層3に接続されているのでインバータの出力信号が観測できる。

基本セルINV、INVPの具体的パターンとしては第2図、第3図に示すものの他種々の変形が可能である。例えば内部配線層3のすぐ外側にセル境界を設ける必要がある場合は、コンタクト2およびスルーホール5のための領域をコンタクト13と23の間の領域に設け、パッドP全体を左側にずらすように設ける。

上述した基本セル及びパッド付基本セルのセルライブラリへの登録が終了すると、これら登録された基本セルを用いて実際の回路を設計する。設計作業は、必要な基本セルを選択し、さらに選択した基本セル間の接続情報を電子計算機に入力することによりおこなわれる。そのとき信号波形を観測したいノードに接続される基本セルをパッド付基本セルにしておく点に本実施例の特徴がある。電子計算機の自動配置配線プログラムにより最適な基本セル(又はパッド付基本セル)の配置がなされ、これら基本セル間の配線が自動的におこな

われ設計が完了する。

上記設計を第4図に示す回路を例として具体的に説明する。この回路では、入力ノードN1、N2にノアゲート31が接続され、入力ノードN3にインバータ32が接続されている。ノアゲート31の出力端はノードN4に接続され、インバータ32の出力端はノードN5に接続されている。これらノードN4とN5はナンドゲート33の各入力端に接続されている。ナンドゲート33の出力端はノードN6に接続され、このノードN6はインバータ34の入力端に接続されている。ここでノードN5の信号波形を外からモニタする場合について説明する。

まず、ノアゲート31に対して基本セルNORを、インバータ32に対してパッド付基本セルINVPを用い、ナンドゲート33に対して基本セルNANDを、インバータ34に対して基本セルINVを選択する。インバータ32に対して基本セルINVではなくパッド付基本セルINVPを選択したのは、インバータ32の出力端が接続さ

れているノードN5の信号波形を外部がモニタするためである。

次に接続情報として、基本セルNORの入力端は入力ノードN1、ノードN2に接続され、出力端は基本セルNANDの入力端に接続され、基本セルINVPの入力端は入力ノードN3に接続され、基本セルNANDの出力端は基本セルINVの入力端に接続され、基本セルINVの出力端は出力ノードN7に接続される旨を入力する。

次に接続情報として、基本セルNORの入力端は入力ノードN1、ノードN2に接続され、出力端は基本セルNANDの入力端に接続され、基本セルNANDの出力端は基本セルINVの入力端に接続され、基本セルINVの出力端は出力ノードN7に接続される旨を入力する。

このように選択された基本セルと基本セル間の接続情報が入力されると、自動配置配線プログラムにより基本セルが最適配置され、かつ基本セル間が最適配線され第5図に示すような集積回路レイアウトが得られる。第5図からわかるように信

号波形をモニタしたいノードN5にはパッドPが接続されており、外部から信号波形を測定することが可能である。

上述したとおり本実施例によればスタンダードセル方式の半導体装置において、観測したいノードに簡単に内部信号測定用パッドを形成することができる。またパッドは基本セルの空き領域に形成されているため集積回路全体の面積が増加することがない。

上記実施例ではパッドを基本セルの出力信号線に接続したが、入力信号線に接続するにしてもよい。また複雑な論理機能を有する基本セルの場合にはセル内部のノードにパッドを設けてもよい。

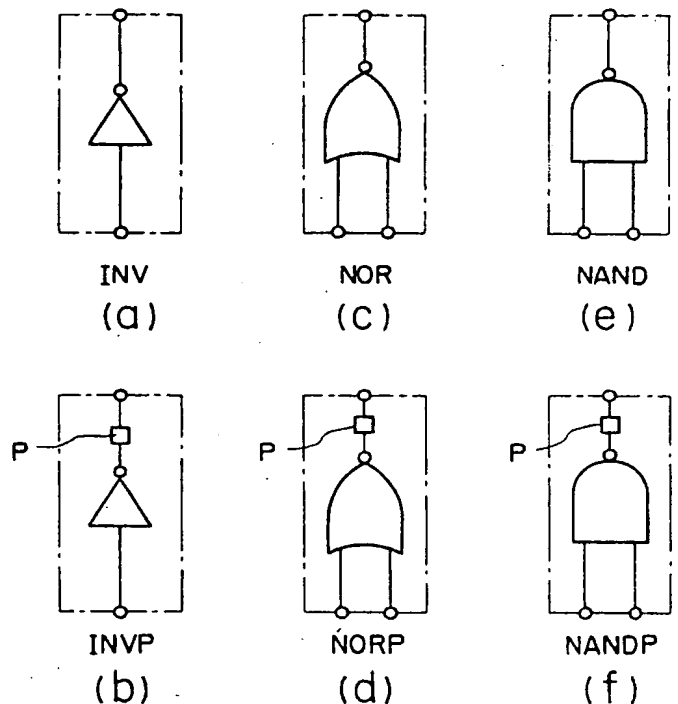
(発明の効果)

以上の通り本発明によれば任意のノードに内部信号測定用パッドを形成して内部信号を測定することができる。

4. 図面の簡単な説明

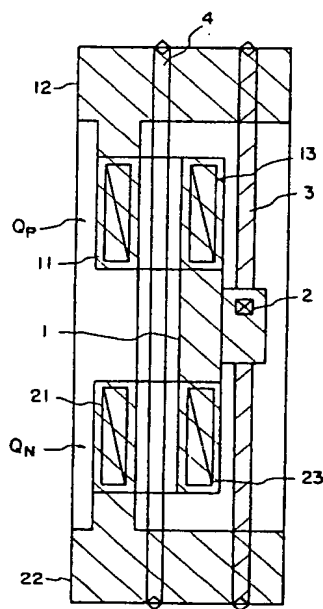
第1図は本発明の一実施例による半導体装置の基本セルを示す図、第2図、第3図、は同半導体装置の基本セルのパターンを示す図、第4図、第5図は本発明の一実施例による半導体装置の製造方法を説明するための図である。

INV, NOR, NAND…基本セル、INVP, NORP, NANDP…パッド付基本セル、P…パッド、 Q_p …PMOSTランジスタ、 Q_n …NMOSTランジスタ、1…共通接続配線層、2…コンタクト、3…内部配線層、4…入力線、5…スルーホール、11, 21, 13, 23…コンタクト、12…VDD電源配線層、22…VSS電源配線層。

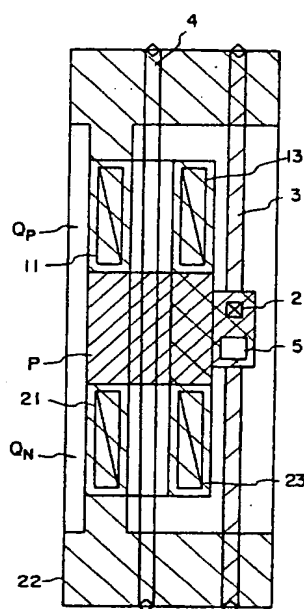


出願人代理人 佐 藤 一 雄

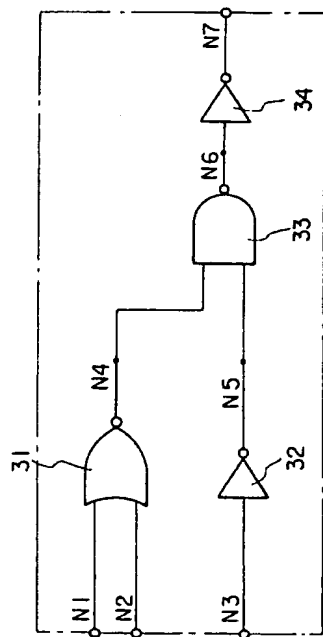
第 1 図



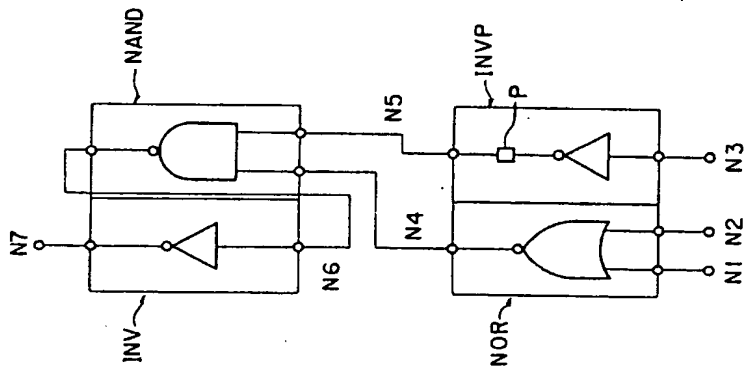
INV
第 2 図



INV
第 3 図



第 4 図



第 5 図